

**OPTICAL COMPENSATION SHEET AND MANUFACTURING METHOD FOR THE SAME**

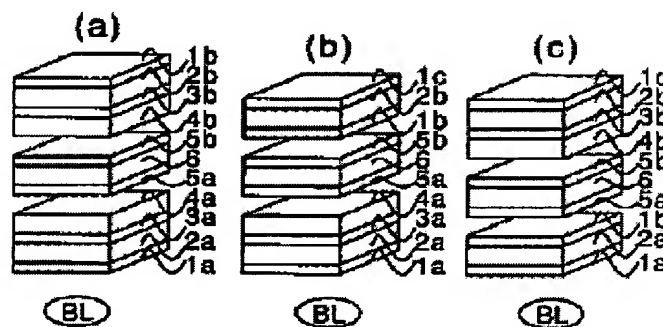
**Patent number:** JP2002006138  
**Publication date:** 2002-01-09  
**Inventor:** AMINAKA EIICHIRO; NISHIKAWA HIDEYUKI; KAWADA KEN  
**Applicant:** FUJI PHOTO FILM CO LTD  
**Classification:**  
- international: G02B5/30; G02F1/13; G02F1/13363  
- european:  
**Application number:** JP20000292761 20000926  
**Priority number(s):**

**Abstract of JP2002006138**

**PROBLEM TO BE SOLVED:** To form an optical two-axes compensation sheet having mutually different refraction index main values in three directions by employing liquid crystalline molecules.

**SOLUTION:** Optical two-axes liquid crystalline molecules having mutually different refraction index main values in three directions are used, or discotic liquid crystalline molecules having optical one-axis characteristics are aligned before projecting a polarized light, or stick-like liquid crystalline molecules having optical one-axis characteristics is aligned in a cholesteric state before projecting the polarized light.

Best Available Copy



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-6138

⑬ Int. Cl.<sup>9</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月10日

B 41 J 2/05  
H 01 L 27/04

P

7514-5F  
7513-2C

B 41 J 3/04 1 0 3 B

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 バブル・インクジェット印字機構のシリコン集積回路チップ

⑯ 特 願 平1-48427

⑰ 出 願 平1(1989)2月28日

優先権主張 ⑱ 1988年3月7日 ⑲ 米国(US) ⑳ 164669

㉑ 発 明 者 ウィリアム ジー ホ アメリカ合衆国 ニューヨーク州 14580 ウェブスター  
ーキンズ ストーニー ポイント トレイル 175

㉒ 発 明 者 キャシー ジェイ バ アメリカ合衆国 ニューヨーク州 14625 ロチエスター  
ーク スーペリア ロード 135

㉓ 出 願 人 ゼロックス コーポレ アメリカ合衆国 ニューヨーク州 14644 ロチエスター  
ーション ゼロックス スクエア(番地なし)

㉔ 代 理 人 弁理士 中 村 稔 外7名

明 細 書

1. 発明の名称

バブル・インクジェット印字機構のシリコン  
集積回路チップ

2. 特許請求の範囲

複数のポリシリコン抵抗素子に電気的に接続  
した複数の MOS トランジスタ・スイッチで構  
成したモノリシック・シリコン集積回路チップ  
であって、

前記抵抗素子を、約 1 ~ 4 ミクロンの厚さ  
を有する熱成長フィールド酸化層の上に形成し  
たことを特徴とするシリコン集積回路チップ。

3. 発明の詳細な説明

産業上の利用分野

本発明は、バブル・インクジェット印字機構、  
より詳細には、能動駆動回路、論理回路および発  
熱抵抗素子を含む集積回路チップに関するもので  
ある。

発明が解決しようとする課題

特別の処理工程を必要とせずに、発熱抵抗素子  
構造を MOS 駆動回路と一様に同一ウェーハの上  
に直接かつ容易に集積してチップを製造すること  
ができれば、もちろん望ましいし、コストの面で  
も有益である。

従来の技術

MOS 形の駆動回路網を使用する従来の装置は、  
米国特許第4,595,821号、同第4,532,530号に開示  
されている。

前記米国特許第4,595,821号には、セラミック  
基板の上に抵抗素子と C-MOS 制御回路を取り付  
けたサーマル印字ヘッドが開示されている。この  
形態は、サーマル・インクジェット印字機構に使

用するには適さない。前記米国特許第4,532,530号の場合は、第4A図および第4B図の実施例のようにサーマル印字ヘッドを製作している。多結晶シリコンを使用し、低抗素子と関連駆動回路を同時に形成している。この形態は、個別使用接触プロセスによって、各低抗素子をボンディング・パッドに結合する必要がある。コスト、限られた信頼性、各低抗素子をボンディング・パッドに結合するために必要なインクジェット・チップ・パラメータ空間などの諸要因は、安価な高速印字機構や300 spi以上の密度で印字する場合には都合が悪い。

#### 課題を解決するための手段

本発明は、第1の態様として、MOSトランジスタ駆動回路と発熱低抗素子を一緒に組み入れた、従来のデバイスよりも動作信頼性が高く、よりコンパクトなモノリシック・シリコン半導体集積回路チップを提供する。また、第2の態様として、チップ・サイズを小さくする一方、トランジスタ駆動回路のブレイクダウン電圧を高め、かつ熱効

数の滴発生用バブル・インクジェット・チャンネルから成る直線アレーが入っている。インク滴12は記録媒体13に向けて発射され、記録媒体13は印字ヘッド11が矢印15の方向に記録媒体を横切って1回移動するごとにステップ・モーター16によって矢印14の方向に所定の距離だけステップ送りされる。記録媒体13たとえば供給ロール17に巻かれた用紙は、周知の手段でステップ・モーター16によってロール18の上にステップ送りされる。

印字ヘッド11は、周知の手段たとえば2個の平行案内レール20に沿って往復するように構成された支持体19に固定されている。印字ヘッドの支持体19は、記録媒体がステップ送りされる方向に垂直に、記録媒体に平行な方向に記録媒体を横切って前後に移動するキャリッジ組立体29で構成されている。印字ヘッドの往復運動は、索21と一対の回転可能なプーリー22によって行われ、一方のプーリーは可逆モーター23によって駆動される。

印字ヘッド11に入っている直線アレーを構成する各インク・チャンネル内の個々のバブル発生用

率を高めるように改良した半導体 N-MOS 製造技術を提供する。

本発明は、インクジェット・プリンタ、より詳細にはバブル・インクジェット印字ヘッドに使用する MOS駆動回路と発熱低抗素子を一緒に組み入れたモノリシック・シリコン集積回路チップに関するものである。

本集積回路チップは、複数のポリシリコン発熱低抗素子に電気的に接続された複数のポリシリコン・ゲート付き MOS トランジスタ・スイッチで構成され、前記発熱低抗素子は、約 1 ~ 4 ミクロンの厚さをもつ熱成長フィールド酸化層の上に形成される。

#### 実施例

サーマル・インクジェット印字機構を使用するプリンタは、用紙が静止し、印字ヘッドが移動する方式もあるし、用紙が移動し、ページ幅印字ヘッドが静止している方式もある。第1図は、キャリッジ形バブル・インクジェット印字機構10を示す。往復キャリッジ組立体29の印字ヘッド11には、複

低抗素子に対し、制御器25から配線24を介して電流パルスが印加される。このインク滴を発生させる電流パルスは、電極28を介して制御器が受け取ったデジタル・データ信号に応じて作られる。インク・チャンネルは、動作中は、ホース27を経由してインク供給源28からのインクで充満した状態に維持される。

第2図は、第1図に示したキャリッジ組立体29の拡大断面斜視図である。印字ヘッド11は3つの部分から成ることがわかる。第1の部分はリード線とモノリシック・シリコン半導体集積回路チップ48を含む基板41である。他の2つの部分は、インク・チャンネル49aとマニホルド49bを有するチャンネル板49を構成している。チャンネル板49は2個の独立部品31,32で示してあるが、チャンネル板は一体構造にすることもできる。インク・チャンネル49aとインク・マニホルド49bはチャンネル板部品31の中に形成されており、各インク・チャンネル49aの一端はチャンネル板に形成されたノズルに通じており、他端はインク・マニホルド

49bに通じている。インク・マニホルド49bはチャンネル板部品31内の点線で示した通路34を介してインク供給ホース27に通じている。チャンネル板部品32はチャンネル49aとマニホルド49bをおおう平らな部材で、シリコン基板41に正しく整合され、固定されている。

第3図と第4図にそれぞれ示した本発明の集積回路チップ48の第1実施例と第2実施例は、標準N-MOS処理工程にしたがって大部分が作られるが、幾つかの重要な点が修正されている。以下詳しく説明するこれらの修正によって、従来のデバイスに比べて熱効率がよく、ブレイクダウン電圧が高く、コンパクトで、低コストの集積回路チップが得られる。処理工程の修正を十分に理解してもらうために、第5図に示した従来の半導体トランジスタ回路の製造について、シリコン論理集積回路を製造するとき使用する標準N-MOS論理回路処理方法を検討してみる。第5図に断面図で示した従来のデバイス50は、p型シリコン基板ウェーハをLOCOS法(シリコンの部分酸化)で処理し

動デバイス領域を、ディプレッション型(通常オン)またはエンハンスメント型(通常オフ)にする。次に、レジストをはがし、ウェーハを洗浄した後、薄い( $\leq 150$  nm)ゲート酸化層58が成長するまで、一般に、乾燥 $O_2$ の中で、場合によっては蒸気中でウェーハを加熱する。ゲート酸化層を通したしきい値調整ホウ素インプラントによって、エンハンスメント型デバイスのしきい値電圧が定まる。次に、ポリシリコン層58を蒸着し、ドーピングを行い、デバイス・ゲートを形成し、追加の配線を行うためにパターンニングする。レジストを除去し、イオン注入または拡散によって、濃くドーピングしたn+ソース領域60とドレン領域62を、ゲート層58の周囲に形成する。ポリシリコン層58とソース領域60とドレン領域62を再酸化させ、燐ガラスを蒸着した後、その表面を平坦にするため高温で流動化し、燐ガラス層64を形成する。次に、4番目のフォトレジストを塗布し、パターンニングを行い、エッチングして、ゲート層58、ソース領域60およびドレン領域62に対する接触を行う

て薄い $SiO_2$ 層を作り、その上にシリコン窒化マスク層を蒸着して作る。最初のフォトレジスト層を塗布し、能動エンハンスメント型デバイス領域とディプレッション型領域を形成する領域の上をパターンニングする(パターンを開孔する)。フォトレジストは、最初に $Si_3N_4$ 層をパターンニングするために、次に能動デバイス領域からチャンネルストップ・ホウ素インプラント54をブロックするために使用される。チャンネルストップ・ホウ素インプラント54は、フィールド酸化層52に整合している。次に、フォトレジストを除去し、ウェーハを一連の化学溶液の中で洗浄し、約 $100^\circ C$ の温度まで加熱する。ウェーハの上に蒸気を流して、その表面を数時間酸化させる。 $Si_3N_4$ が存在するシリコン表面は酸化されない。次に、 $Si_3N_4$ とパッド $SiO_2$ を除去すると、能動デバイス領域にむき出しのシリコンが残り、その他の領域に厚い分離用酸化層(フィールド酸化層52)が残る。次に、パターンニングした第2のフォトレジスト層とn型シリコン・ドーパントのイオン注入によって、能

ことを許す道66,68を生成する。洗浄処理の後、アルミニウム金属被覆処理を行い、5番目のフォトレジスト層を用いてパターンニングし、チップ上の種々のデバイスを相互に接続すると同時に、ドレンおよびソースに対する相互接続70を形成する。次に、 $SiO_2$ または $Si_3N_4$ 低温層を塗布し、チップの相互接続ができるようにパターンニングする。このデバイスのドレンにバイアスを印加すると、ドレン領域周囲の領域はキャリアが減少する。バイアスを続けて増大させると、ゲートとドレンの接合部に存在する高電界のために、その接合部で絶縁破壊が生じる。

第3図は、同じ基板の上にMOSトランジスタ・スイッチと発熱抵抗器を一体に集積した能動アドレス・チップ48を示す。このチップは、第5図のチップ構造を製作するとき用いた方法を修正して製造する。この修正によって、後でわかるように、性能が改善される。第3図について説明すると、チャンネルストップ・ホウ素インプラント74を行った後、高温においてフィールド酸化層72を成長

させる。本発明の第1の特徴として、フィールド酸化層の厚さは少なくとも1ミクロンである。パワー領域にゲート酸化層78を成長させ、単一ポリシリコン層を蒸着させてトランジスタ・ゲート78と抵抗器79を形成する。このポリシリコン層は、 $5\Omega/\square \sim 5k\Omega/\square$ のシート抵抗を生み出す。薄くドーピングしたソース80とドレン82を形成し、 $500\Omega/\square \sim 20k\Omega/\square$  (約 $4k\Omega/\square$ が好ましい)のシート抵抗を生み出すため薄くドーピングしたソース80とドレン82を形成するとき、能動トランジスタ・デバイス・チャンネル領域からイオン注入をマスクするために、このポリシリコンが使用される。次にウェーハを洗浄し、再び酸化させて熱酸化層83を形成する。次に燐添加ガラス層84を熱酸化層83の上に蒸着し、その表面を平坦化するため高温において流動化させる。次にフォトレジストを塗布し、パターニングしてドレン82に対する道86とソース80の対する道88を形成する。本発明の第2の特徴として、薄くドーピングしたドレン82とソース80と、アルミニウム金属被覆84、

96との間にオーム接触が得られるように、接触領域をn+イオン・インプラント90,92で濃くドーピングする。濃くドーピングした領域90,92を活性化するため必要な熱サイクル後、ウェーハを洗浄し、アルミニウム被覆を施して、相互接続(アルミニウム配線)94,96を形成し、ソース領域とドレン領域およびポリシリコン・ゲート領域84に接触させる。動作中、ドレン82にバイアスが印加されると、ゲート78の周囲の領域は、キャリアがドレン領域82に流れてキャリアが減少した空乏状態になる結果、空乏領域の線は線98,100で描いた境界線に似ていると考えられる。ドレン領域が空乏状態になるので、ゲート78とドレン・インプラント90の接合部における電界はきびしくなく、絶縁破壊まで高電圧が許される。第5図に示した従来のデバイスのブレイクダウン電圧は約20ボルトであるが、n-ドリフト層82をポリシリコン・ゲート78にセルフアライニング(自己整合)することによって、ブレイクダウン電圧を75ボルト以上に高めることが可能である。以下の表に示すように、

駆動回路のブレイクダウン電圧とチップ・サイズとの間には、逆相関関係が存在する。動作電圧が60ボルトから15ボルトへ減少すると、チップ・サイズが80ミルから140ミルへ大きくなる。集積回路のサイズが大きくなると、素材面積がより大きく使用されることと、サイズの増加につれて収量が落ちることから、製造コストが急激に上昇する。ブレイクダウン電圧を15ボルトから60ボルトへ高めることで、チップ・サイズを140ミルから80ミルへ小さくすれば、少なくともチップの製造コストは半減する。

表

電圧 (V)	トランジスタ ( $\mu m$ )	長さ (ミル)	サイズ (ミル)	抵抗器 ( $\Omega$ )
15	84×2000	80	140	64
30	84×1000	40	100	90
45	84×750	30	90	127
60	84×500	20	80	360

上に述べたように、フィールド酸化層72は厚さ1ミクロン以上に成長させる。前に述べた標準N-MOSプロセスにおいては、シリコン・ウェーハ表面のトランジスタが形成されない領域では、フィールド酸化層を1.0ミクロン以下の厚さに成長させた。この厚さは個々のトランジスタを電気的に分離するには十分であった。サーマル・インクジェット印字環境において考慮すべき大事な点は、発熱抵抗器領域から効率よく放熱させることである。発熱抵抗器は、一般に、2～10マイクロ秒の電流パルスで加熱される。300 spi 印字機構においてインク滴を噴射させるのに必要なエネルギーは、抵抗器構造の効率によるが、15～50マイクロジュールである。抵抗器をフィールド酸化領域の上面に置けば、抵抗器から熱伝導性シリコン基板への熱伝導が少ない熱効率のよい抵抗器構造になり、したがって消費電力が少なくなるであろう。フィールド酸化層を1～4ミクロンの厚さまで形成すれば、熱効率のよいデバイスが可能であることがわかった。たとえば、3  $\mu sec$  の

加熱パルスの場合、低抗体からフィールド酸化層を通してシリコン基板への熱流によって生じる放熱は、フィールド酸化層が少なくとも2.0ミクロン厚さのとき最小になる。好ましいフィールド酸化層の厚さの上限は、フィールド酸化層と能動デバイス領域に侵入するドーパントによって制限され、ドーパントの侵入は酸化層の厚さと共に超直線的に増加する。5 $\mu$ m幅のエンハンスメント型N-MOS デバイスは、10 $\mu$ m幅のデバイスに比べて、 $\pm 5\%$ すなわち100 mVのしきい値シフトを有することが実験で判った。したがって、2.0 $\mu$ m厚さのフィールド酸化層で5 $\mu$ mゲートN-MOS 論理回路を作ることは容易である。数値計算では、3 $\mu$ secの加熱パルスの場合、熱酸化層の厚さが1.0 ~ 2.0 $\mu$ mの間の熱効率の差は、21%であったが、5 $\mu$ secの加熱パルスの場合の熱効率の差は37%であることが判った。したがって、選択した加熱パルスの長さについて、最適な熱効率を得られるように、熱酸化層の厚さを調整しなければならない。

ドリフト層108を形成する。これら2つのインプラネーション工程を実施した後、フィールド酸化層を約2ミクロンの厚さまで成長させる。このゲート酸化層成長プロセスに続いて、最初のポリシリコン110を蒸着する。この層を蒸着し、ドーピングし、パターニングした後、イオン注入または拡散によってソース112とドレン114を形成する。ウェーハを洗浄し、ポリシリコン領域、ソース領域、ドレン領域の上に熱酸化層116を成長させる。次に、ドリフト層フィールド・プレートおよび隣接するフィールド酸化層領域上に低抗体素子として使用するため、第2のポリシリコン層118を蒸着し、薄くドーピングし、パターニングする。続いて洗浄した後、熱酸化によって層120を形成し、次に燐添加ガラスを蒸着して層122を形成する。続いて、フォトリジストを塗布し、パターニングして、ソース112、ドレン114、およびゲート・ポリシリコン110およびドリフト層フィールド・プレート・ポリシリコン層118への道124,126を形成する。次に、ウェーハを金属被覆して、ソース、

次に、本発明の第3の特徴として、低抗体の上に複合層97を蒸着することについて説明する。ポリシリコン低抗体は、その上でインクを加熱することによって発生する気泡の崩壊により損傷を受けることが判った。デバイスは、1000ページの印字に相当する $10^4$ サイクルで機能しなくなる。低抗体を複合層79で被覆すると、使用寿命は $10^4$ サイクルまで延びる。

第3図に示したチップの実施例は、単一レベルのポリシリコンを、駆動回路トランジスタのゲートと低抗体素子の両方に使用して製作した。ある種の印字機構については、低抗体素子と駆動回路トランジスタのゲートに1つずつ、2レベルのポリシリコンを使用することが望ましいことがある。そのようなチップの実施例を第4図に示す。この実施例では、チャンネルストッパ・ホウ素インプラントで、フィールド酸化層104の下に濃くドーピングした層100,102を形成させる。次に、フィールド酸化領域の下のシリコンの一部を燐でカウンタ・ドーピングして、薄くドーピングしたn-型

ドレンおよびポリシリコン層に接触している相互接続(アルミニウム配線)130,132を形成する。

動作中、ドレンに電圧が印加されると、ドリフト層108が、接地されたウェーハと接地されたフィールド・プレート・ポリシリコン層118の間でピンチオフされる。したがって、ドリフト層108は、図示した領域124でキャリアが減少する。長い距離にわたってピンチオフされるので、このチップ構造は、チップのレイアウトおよび基板の抵抗率のために、非常に高い電圧をスイッチングすることが可能である。このチップ構造の1つの利点は、共通の寄生効果が電流に比例することから、高電圧スイッチング能力のおかげで、低抗体の前方すなわちノズルの後方の金属被覆配線で生じる寄生抵抗の影響が最小になることである。

以上説明した2つのケースは、駆動回路を低抗体素子と同時に製作できることを実証している。駆動回路の存在のみで、相互接続は、 $N$ 個から $\approx 2\sqrt{N}$ へ減らすことができる。たとえば、 $\approx 15$ の接続で50個のインクジェットをアドレスする

ことができ、4 30個の接続で200個のインクジェットをアドレスすることができる。

論理回路網を付加することにより、大形アレーの場合には重大な事になる相互接続をさらに減らすことができる。任意の多数のインクジェットを6個または7個の電気接続でアドレスすることができる。チップ製造順序にデプレッション型フォトレジスト・マスキング工程とインプラント処理工程を含めることによって、N-MOS 論理回路を付加することができるので、デプレッション型(常時オン)デバイスとエンハンスメント型(常時オフ)デバイスを用いて論理ゲートを形成することができる。抵抗素子と駆動回路のゲートを形成するために使用するポリシリコンは、同時に論理回路素子のゲートを形成するためにも使用される。

N-MOS 技術で論理ゲートを製造することは、その製造の簡単さと低コストの点でより好ましいが、C-MOS 論理回路技術を使用して、上記の回路をモノリシック形式で同様に形成することができよう。能動デバイスをフィールド酸化層の上に形

成したが、ある種のシステムには、サファイアなどの絶縁性基板を同様に使用することができる。

#### 4. 図面の簡単な説明

第1図は、本発明を組み入れたキャリッジ型バブル・インクジェット印字機構の略斜視図、

第2図は、第1図に示したバブル・インクジェット印字ヘッドの拡大斜視図、

第3図は、本発明の集積回路チップの第1の実施例の拡大断面図、

第4図は、本発明の集積回路チップの第2の実施例の拡大断面図、

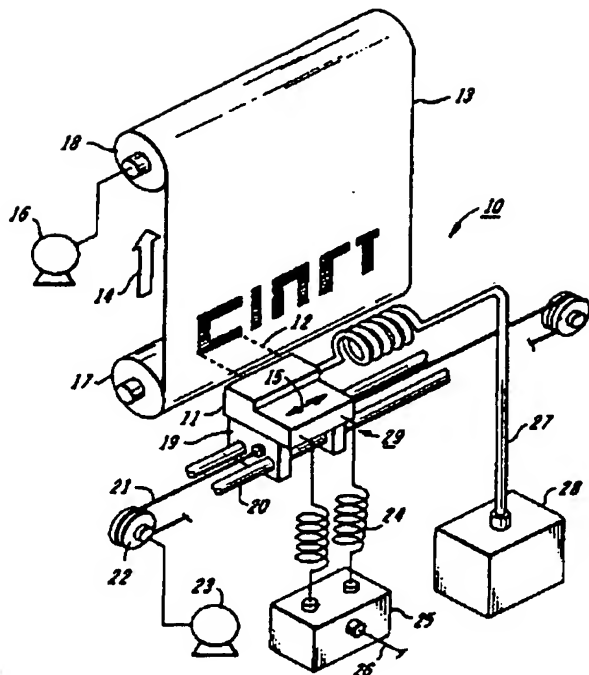
第5図は、従来のシリコン論理集積回路の拡大断面図である。

#### 符号の説明

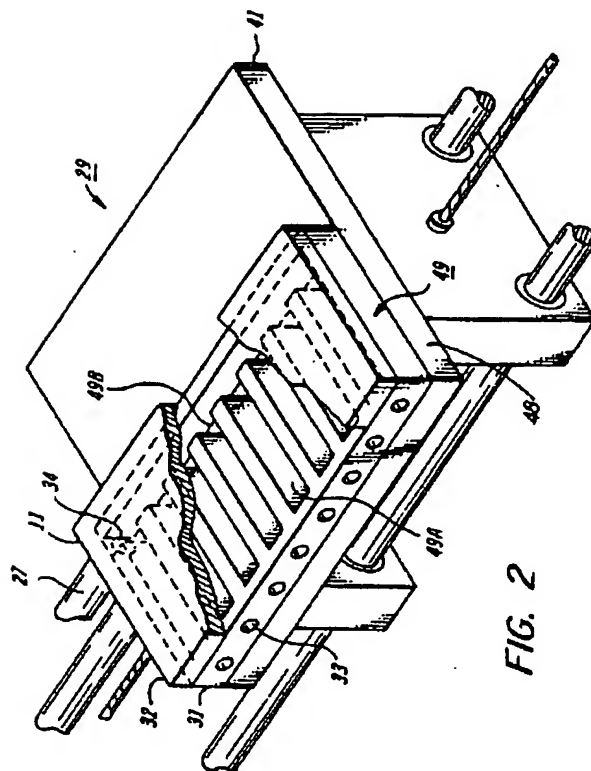
10…バブル・インクジェット印字機構、  
11…印字ヘッド、 12…インク滴、  
13…記録媒体、 14,15…移動方向、  
16…ステップモーター、17…供給ロール、  
18…ロール、  
19…支持体、 20…案内レール、

21…案、 22…ブーリー、  
23…可逆モーター、 24…配線、  
25…制御器、 26…電極、  
27…ホース、 28…インク供給源、  
29…キャリッジ組立、  
31,32…チャンネル板部品、  
33…ノズル、 34…通路、  
41…基板、 48…集積回路チップ、  
49…チャンネル板、 49a…インクチャンネル、  
49b…インクマニホルド、  
50…従来のデバイス、 52…フィールド酸化層、  
54…チャンネルストップ・ホウ素インプラント、  
56…ゲート酸化層、 58…ポリシリコン層、  
60…ソース領域、 62…ドレン領域、  
64…燐添加ガラス層、 66,68…道、  
70…相互接続、 72…フィールド酸化層、  
74…チャンネルストップ・ホウ素インプラント、  
76…ゲート酸化層、 78…ゲート、  
79…抵抗器、 80…ソース、  
82…ドレン、 83…熱酸化層、

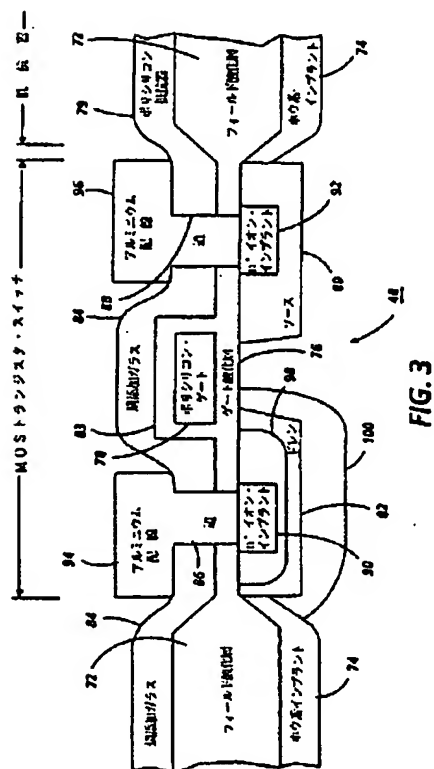
84…燐添加ガラス層、 86,88…道、  
90,92…n+イオン・インプラント、  
94,96…相互接続(アルミニウム配線)、  
98,100…境界線、  
100,102…濃くドーピングした層、  
104…フィールド酸化層、108…n-ドリフト層、  
110…ポリシリコン層、 112…ソース、  
114…ドレン、 116…熱酸化層、  
118…ポリシリコン層、 120…熱酸化層、  
122…燐添加ガラス層、 124,126…道、  
130,132…相互接続(アルミニウム配線)。



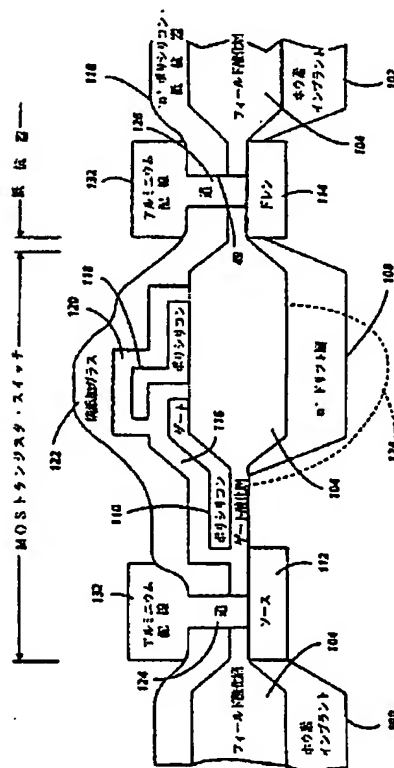
**FIG. 1**



**FIG. 2**



**FIG. 3**



**FIG. 4**

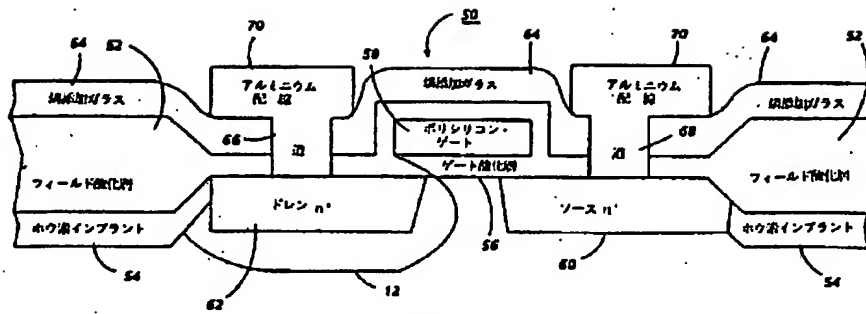


FIG. 5 半導体デバイス

特許法第17条の2の規定による補正の掲載

平成 1 年特許願第 48427 号(特開平  
2- 6138 号, 平成 2 年 1 月 10 日  
発行 公開特許公報 2- 62 号掲載)につ  
いては特許法第17条の2の規定による補正があっ  
たので下記のとおり掲載する。 2 ( 4 )

Int. Cl. 5	識別 記号	庁内整理番号
B41J 2/05 H01L 27/04		P-7514-5F B-7513-2C B41J 3/04 -103

特許請求の範囲

- (1) 複数のポリシリコン抵抗素子に電気的に接続した複数のMOSトランジスタ・スイッチで構成したモノリシック・シリコン集積回路チップであって、  
前記抵抗素子を、約1〜4ミクロンの厚さを有する熱成長フィールド酸化層の上に形成したことを特徴とするシリコン集積回路チップ。
- (2) 請求項1記載の集積回路チップにおいて、前記トランジスタ・スイッチがポリシリコンであることを特徴とする集積回路。
- (3) 請求項2記載の集積回路チップにおいて、トランジスタ・スイッチのゲート及び抵抗層について単層のポリシリコンを用いたことを特徴とする集積回路チップ。
- (4) 請求項2記載の集積回路チップにおいて、第1のポリシリコン・レベルがトランジスタ・スイッチのゲートを形成し、第2のポリシリコン・レベルが抵抗素子を形成していることを特徴とする集積回路チップ。

平成 2. 4. -3 発行

手 続 補 正 書

平成 年 月 日

特許庁長官 吉 田 文 毅 殿

1. 事件の表示 平成1年特許願第48427号
2. 発明の名称 バブル・インクジェット印字機構のシリコン集積回路チップ
3. 補正をする者  
事件との関係 出 願 人  
名 称 セロックス コーポレーション
4. 代 理 人  
住 所 東京都千代田区丸の内3丁目3番1号  
電話(代) 211-8741  
氏 名 (5995) 弁理士 中 村
5. 補正命令の日付 自 発
6. 本補正により増加する請求項の数 8
7. 補正の対象 明細書の特許請求の範囲の欄
8. 補正の内容 別紙のとおり

- (5) 請求項4記載の集積回路チップにおいて、第2のポリシリコン・レベルがフィールド酸化層の下に形成されたドリフト領域にフィールドプレート形成していることを特徴とする集積回路チップ。
- (6) 請求項2記載の集積回路チップにおいて、前記トランジスタがNMOSまたはCMOSポリシリコンゲート付の論理トランジスタを包含することを特徴とする集積回路チップ。
- (7) 請求項3記載の集積回路チップにおいて、さらに、少なくともトランジスタ・ドレン領域に設けてあってトランジスタ・ゲートに隣接してキャリア消耗領域を発生させ、破壊の抑圧によってより高い作動電圧を可能とするn<sup>+</sup>イオン・インプラントを包含することを特徴とする集積回路チップ。
- (8) 請求項1記載の集積回路チップにおいて、pタイプのシリコン・ウェーファで作ってあることを特徴とする集積回路チップ。
- (9) 請求項2記載の集積回路チップにおいて、前

配フィールド酸化層が熱酸化工程とその後に行  
うドーブあるいは非ドーブ式酸化物付着工程の  
2段階で形成されることを特徴とする集積回路  
チップ。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**